

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-066638

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : 11-243990

(71)Applicant : SONY CORP

(22)Date of filing : 30.08.1999

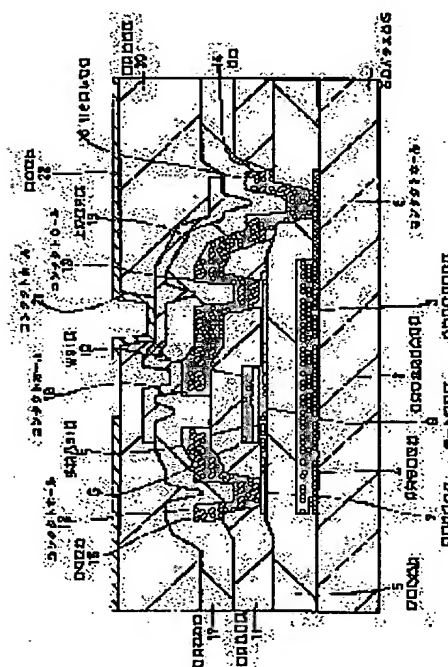
(72)Inventor : ABE FUMIAKI
SATO TAKUO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high transmittance and high definition by reducing an inter-pixel light shielding area while securing a holding capacitance area, in the liquid crystal display device.

SOLUTION: A pixel electrode 2 for holding capacitance, a dielectric film for holding capacitance 3, and holding capacitance wiring 4 forming a holding capacitance element are sequentially provided on an insulating transparent substrate 1. An interlayer insulating film 5 is provided so as to cover the holding capacitance element. A thin film semiconductor layer 7 having source/drain areas, a gate dielectric film 8, and a gate electrode formed of gate wiring G are provided on the interlayer insulating film 5, to form a thin film transistor(TFT) for driving a pixel electrode. A signal wiring 15 is connected with the source area of the thin film semiconductor layer 7, and a leading electrode 16 is connected to the drain area. The drain area of the thin film transistor layer 7 is connected to the pixel electrode 2 for holding capacitance via the leading electrode 16, and further connected to an upper layer light shielding film 19 and a pixel electrode 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

(19)日本特許庁(JP) (12)公開特許公報(A)

(11)特許出願公開番号
特開2001-66638
(P2001-66638A)

(43)公開日 平成13年3月18日(2001.3.18)

(51)Int.Cl.	識別記号	PI	7-720-1(参考)
G02F 1/1368	338	G02F 1/136	500 2H092
G09F 9/30		G09F 9/30	338 5C094
H01L 23/786		H01L 23/78	612D 6P110
21/338			

審査請求 未請求 請求項の範囲 14 OL (全14頁)

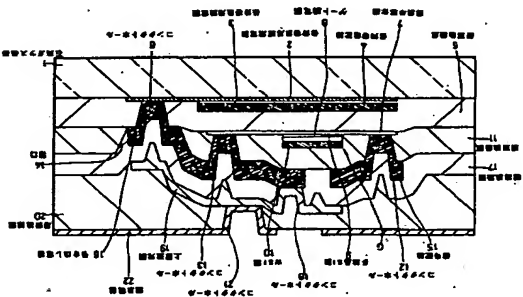
(21)出願番号	特開平11-243590	(71)出願人	000002185 ソニー株式会社
(22)出願日	平成11年8月30日(1999.8.30)	(72)発明者	東京都品川区北品川6丁目7番35号 阿部 文明
		(72)発明者	東京都品川区北品川6丁目7番35号 ソニ 佐藤 拓生 株式会社ソニー
		(74)代理人	東京都品川区北品川6丁目7番35号 ソニ 株式会社ソニー 100052762 弁護士 杉浦 正知

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【課題】 液晶表示装置において、保持容量面を確保しつつ配線間隙を縮小することによって、高透過率および高解像度を実現する。

【解決手段】 絶縁性透明基板1上に、保持容量素子を構成する保持容量用画素電極2、保持容量用誘電膜3および保持容量配線4を順次設ける。保持容量素子を覆うようにして配線間隙5を設ける。配線間隙5上に、ソース/ドレイン領域を有する薄膜半導体層7と、ゲート誘電膜8と、ゲート配線9からなるゲート電極とを設け、画素電極駆動用の薄膜トランジスタ(TFT)を構成する。薄膜半導体層7のソース領域に信号配線15、ドレイン領域に引き出し電極16を接続する。引き出し電極16により、薄膜半導体層7のドレイン領域と保持容量用画素電極2とを接続し、さらに上層透光膜19および画素電極22に接続する。



【特許請求の範囲】

- 【請求項1】 基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置において、
- 上記保持容量素子が上記薄膜トランジスタを構成する薄膜半導体層の下層に設けられていることを特徴とする液晶表示装置。
- 【請求項2】 上記保持容量素子が、保持容量配線と保持容量用画素電極との間に保持容量用誘電膜を挟んだ構造により構成されていることを特徴とする請求項1記載の液晶表示装置。
- 【請求項3】 上記薄膜トランジスタのソース/ドレイン領域を構成する拡散層と上記保持容量用画素電極とが電気的に接続されていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項4】 上記保持容量配線が、平面的に、上記薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項5】 上記保持容量配線が、一定の電位に設定可能に構成されていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項6】 上記保持容量用画素電極が、平面的に、上記薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項7】 上記保持容量用誘電膜が酸化シリコン膜、強化シリコン膜、または酸化シリコン膜と強化シリコン膜との積層膜から構成されていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項8】 上記保持容量用誘電膜の膜厚が5nm以上300nm以下であることを特徴とする請求項2記載の液晶表示装置。
- 【請求項9】 上記保持容量配線および上記保持容量用画素電極の少なくとも一方が、タンゲステン、モリブデン、タンタル、クロム、チタン、ケイ化タンゲステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、タンゲステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、または不純物がドーピングされたシリコンからなる群より選ばれた材料から構成されていることを特徴とする請求項2記載の液晶表示装置。
- 【請求項10】 基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置の製造方法において、
- 上記基板上に上記保持容量素子を形成し、
- 上記保持容量素子の上面に配線間隙を介して上記薄膜トランジスタを形成するようにしたことを特徴とする液晶表示装置の製造方法。
- 【請求項11】 上記基板上に保持容量用画素電極、保

- 持容量用誘電膜および保持容量配線を順次形成することにより、上記保持容量素子を形成するようにしたことを特徴とする請求項10記載の液晶表示装置の製造方法。
- 【請求項12】 上記保持容量用画素電極上に配線間隙を形成し、上記配線間隙の上面に薄膜半導体層を形成し、上記薄膜半導体層上にゲート誘電膜を介してゲート電極を形成するようにしたことを特徴とする請求項11記載の液晶表示装置の製造方法。
- 【請求項13】 ゲート配線を形成するとともに、上記薄膜トランジスタにおける拡散層と上記保持容量用画素電極とを接続する導電層を形成するようにしたことを特徴とする請求項11記載の液晶表示装置の製造方法。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】 この発明は、液晶表示装置およびその製造方法に関し、特に、TFTアクティブマトリクス型液晶表示装置に適用して好適なものである。
- 【0002】
- 【従来の技術】 従来、薄膜トランジスタ(TFT)アクティブマトリクス型の液晶表示装置においては、それぞれの画素ごとに画素信号スイッチング用薄膜トランジスタが設けられている。これらの画素は水平方向および垂直方向に渡る配線によりマトリクス状にレイアウトされている。この従来技術によるTFTアクティブマトリクス型の液晶表示装置について以下に具体的に説明する。
- 【0003】 すなわち、図9に示すように、TFTアクティブマトリクス型液晶表示装置は、TFTアクティブマトリクス型の液晶表示基板101上に、水平走査回路102、垂直走査回路103、画素信号供給スイッチ104、走査方向の制御を行う垂直走査回路105およびクロストーク防止のためのクロストーク防止回路106を備えている。なお、符号107は外部ICを示し、符号108はこの外部IC107の接続端子を示す。
- 【0004】 また、画素信号供給スイッチ104や垂直走査回路105には、各画素毎のTFT109がマトリクス状に配線されている。このTFT109は、ソース/ドレイン電極SDおよびゲート電極Gにより構成されている。ゲート電極Gは垂直走査回路105に共通に接続されている。ソース/ドレイン電極SDは、画素信号供給スイッチ104およびクロストーク防止回路106に共通に接続されている。
- 【0005】 以上のように構成されたTFTアクティブマトリクス型の液晶表示装置における画素を図10に示す。図10に示すように、発光領域における石英ガラス基板111上に所定形状の多結晶Si1からなる薄膜半導

(3)

3
体層1112が設けられ、この導膜半導体層1112上にゲート誘電体1113が設けられている。このゲート誘電体1113上にはゲート配線1114が設けられている。図示は省略するが、導膜半導体層1112中にはゲート配線114に対して自己整合的にソース領域およびドレイン領域が形成されている。ゲート配線114からなるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶SiTFTが構成されている。ドレイン領域の上方の所定部分におけるゲート誘電体1113上には保持容量配線115が設けられている。この保持容量配線115とドレイン領域との間にゲート誘電体113を挟んだ構造により、保持容量素子が構成されている。

【0006】ゲート配線114および保持容量配線115を覆うように画素絶縁膜116が設けられている。この画素絶縁膜116およびゲート誘電体113の所定部分にはコンタクトホール117、118が設けられている。画素絶縁膜116上には、コンタクトホール117を通じて多結晶SiTFTのドレイン領域に接続されて引き出し電極119が設けられているとともに、コンタクトホール118を通じて多結晶SiTFTのソース領域に接続されて信号配線120が設けられている。これらに引き出し電極119および信号配線120を覆うように画素絶縁膜121が設けられている。引き出し電極119上の所定部分における画素絶縁膜121にはコンタクトホール122が設けられている。画素絶縁膜121上はこのコンタクトホール122を通じて引き出し電極119と接続された上層透光膜123が設けられている。この上層透光膜123と引き出し電極119および信号配線120との重ね合わせにより、上方からの入射光に対して、画素開口領域以外の領域の全ての透光がなされている。上層透光膜123を覆うように画素絶縁膜124が設けられている。上層透光膜123上の所定部分におけるこの画素絶縁膜124にはコンタクトホール125が設けられている。画素絶縁膜124上には、コンタクトホール125を通じて上層透光膜123とコンタクトホール125とを覆うように上層透光膜126が設けられている。この画素絶縁膜126を覆うように配向膜127が設けられている。

【0007】配向膜127上には液晶層128が設けられており、この液晶層128上に配向膜129および対向共通電極130が設けられている。また対向共通電極130上には、透明の対向電極用基板131が設けられている。

【0008】以上のように構成された液晶表示装置においては、TFTを構成する導膜半導体層1112に接続された透明な画素電極126に印加する電圧によって、液晶層128中の液晶分子の配向を変え、表示を制御する。

【0009】また、表示領域には、信号配線、ゲート配

4
線、保持容量配線および導膜トランジスタなどが設けられている。これらの配線およびトランジスタは、TFT基板中または対向基板中に設けた画素間透光領域内に配図される。この配図の一例を図11に示す。図11は、TFT基板の信号配線と上層透光膜とによって相補的に透光領域を形成している場合の平面レイアウトの一例である。

【0010】図11に示すように、従来の液晶表示装置においては、ゲート配線114と保持容量配線115とが互いにほぼ平行に設けられている。信号配線120がこれらのゲート配線114および保持容量配線115と垂直な方向に設けられている。引き出し電極119がゲート配線114と保持容量配線115とにまたがり、かつ信号配線120に重ならない領域に設けられている。上層透光膜123が隣接する2本の信号配線120にまたがり、この隣接する2本の信号配線120間の保持容量配線115、ゲート配線114および引き出し電極119を覆うような形状に設けられている。信号配線120と導膜半導体層112との重なる部分の端部にコンタクトホール118が形成されている。保持容量配線115および信号配線120の下層には導膜半導体層112が設けられている。保持容量配線115には、コンタクトホール117を設けた凹形状の部分に設けられたコンタクトホール117を通じて、導膜半導体層112と引き出し電極119とが接続されている。また、引き出し電極119と上層透光膜123との重なる領域の部分に、これらを接続するためのコンタクトホール122が形成されている。また、上層透光膜119の保持容量配線115と重なる領域の部分に、これらを接続するためのコンタクトホール125が形成されている。

【0011】さて、上述のように構成された液晶表示装置は、近年、液晶プロジェクターのライトバルブとして多く用いられている。これとともに、表示においてさらなる高光透過率および高解像度が望まれている。これらの高光透過率および高解像化を実現するには、液晶表示装置における画素間透光領域の細小化が必要である。

【0012】
【発明が解決しようとする課題】しかしながら、図11に示すように、従来の液晶表示装置においては、トランジスタ、信号配線120、ゲート配線114および保持容量配線115などがそれぞれ面積を占有し、画素開口率を向上させる妨げになっていた。

【0013】したがって、この発明の目的は、保持容量面積を確保しつつ画素間透光領域を細小させることができ、これによって、高光透過率と高解像化とを両立させる液晶表示装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】すなわち、上記目的を達

(4)

5
成するために、この発明の第1の発明は、基板上に、画素電極の駆動用の導膜トランジスタと保持容量素子とが設けられた液晶表示装置において、保持容量素子が導膜トランジスタを構成する導膜半導体層の下層に設けられていることを特徴とするものである。

【0015】この第1の発明において、典型的には、保持容量配線は一定の電圧に設定可能に構成されている。そして、この第1の発明において、典型的には、表示領域の外側の保持容量配線の両端部を接地し、電圧を0Vの定電圧に設定する。この定電圧は、導膜トランジスタのしきい値電圧 V_{th} に形質を与えない範囲であれば、対向共通電極や走査回路供給電線の電圧などと同様の電圧にしてもよい。

【0016】この第1の発明において、TFT基板の裏面から導膜トランジスタに入射する光の減衰を図るため、典型的には、保持容量配線は、平面的に導膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられており、典型的には、保持容量配線の配置領域は、平面的に導膜トランジスタのチャネル形成領域に対して1.0 μm 程度の余裕を有して配置される。また、この第1の発明において、斜め方向からの入射光に対する透光性を向上させるために、典型的には、保持容量配線は、導膜トランジスタのチャネル形成領域より大きい領域に配置され、好適には、導膜トランジスタのチャネル形成領域に対して、この領域の外側に均等に0.5 μm 以上大きい領域とする。

【0017】この第1の発明において、典型的には、保持容量用画素電極は、導膜トランジスタのチャネル形成領域に重なる領域で、かつチャネル形成領域よりも広い領域に設けられている。

【0018】この第1の発明において、誘電率と耐圧を向上させるために、典型的には、保持容量用誘電体は、酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成される。

【0019】この第1の発明において、保持容量素子における十分な保持容量 C_s を確保するために、典型的には、保持容量用誘電体の厚さは5nm以上300nm以下であり、好適には、10nm以上100nm以下である。

【0020】この発明の第2の発明は、基板上に、画素電極の駆動用の導膜トランジスタと保持容量素子とが設けられた液晶表示装置の製造方法において、基板上に保持容量素子を作成し、保持容量素子の上面に画素絶縁膜を介して導膜トランジスタを形成するようにしたことを特徴とするものである。

【0021】この第2の発明において、典型的には、保持容量用画素電極上に画素絶縁膜を形成し、画素絶縁膜上に導膜半導体層を形成し、導膜半導体層上にゲート誘電膜を介してゲート配線を形成するようにする。そして、導膜半導体層中に形成されたソース/ドレイン領域

6
と、導膜半導体層上にゲート誘電膜を介して形成されたゲート配線とにより、導膜トランジスタが構成される。【0022】この第2の発明において、典型的には、ゲート配線を形成するとともに、導膜トランジスタのソース/ドレイン領域と保持容量用画素電極とを接続する導膜を形成する。

【0023】この第2の発明において、典型的には、信号配線を形成するとともに、導膜トランジスタのソース/ドレイン領域と保持容量用画素電極とを接続する導膜を形成する。

【0024】また、この発明において、導膜トランジスタを構成する導膜半導体層は、典型的には多結晶シリコン膜であるが、非晶質シリコン膜、単結晶シリコン膜、またはヒ化ガリウム(GaAs)などの化合物半導体を用いることも可能である。

【0025】この発明において、典型的には、保持容量配線および保持容量用画素電極の少なくとも一方の材料は、タングステン、モリブデン、タンタル、クロム、チタン、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、および不純物がドーパされた多結晶シリコン板、誘電膜、画素絶縁膜などの密着性を確保するため、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0026】また、この発明において、典型的には、ゲート配線は、タングステン膜、モリブデン膜、タンタル膜、クロム膜、チタン膜、ケイ化タンタル膜、ケイ化モリブデン膜、ケイ化タンタル膜、ケイ化クロム膜、ケイ化チタン膜、タングステン合金膜、モリブデン合金膜、タンタル合金膜、クロム合金膜、チタン合金膜、または不純物が導入されたシリコン膜から構成され、さらには、基板、誘電膜、画素絶縁膜などの密着性を確保するために、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0027】上述のように構成されたこの発明による液晶表示装置およびその製造方法によれば、保持容量素子を導膜トランジスタの下層に設けるようにしていることにより、保持容量素子のレイアウトにおける他の配線や電極による制約を低減することができ、その設計自由度を向上させることができる。保持容量素子により平面的に占有される面積を低減することができる。

【0028】
【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0029】図1は、この発明の第1の実施形態による液晶表示装置のTFT基板の一例を示し、図2は、この

(5)

7

TFT基板の平面レイアウトの一例を示す。この液晶表示装置は例えばアクティブマトリクス型の液晶表示装置である。

[0030] 図1に示すように、この液晶表示装置においては、透光領域における石英ガラス基板などの絶縁性透明基板11上に所定形状の保持容量用画素電極2が設けられている。この保持容量用画素電極2は、例えば厚みが50nmのWSi膜からなる。この保持容量用画素電極2上には保持容量用誘電体3が設けられている。この保持容量用誘電体3は例えば厚みが60nmのSiO₂膜からなる。この保持容量用誘電体3上には、表示領域を画断するようにパターンニングされた保持容量配線4が設けられている。この保持容量配線4は例えば厚みが200nmのWSi膜からなる。この保持容量配線4と保持容量用画素電極2との間に保持容量用誘電体3を挟んだ構造により、保持容量素子が構成されている。

[0031] また、保持容量配線4を覆うように層間絶縁膜5が設けられている。この層間絶縁膜5は例えば厚みが600nmのノンドープシリケートガラス(NSG、珪酸ガラス)からなる。保持容量用画素電極2上の層間絶縁膜5の部分にはコンタクトホール6が設けられている。

[0032] 層間絶縁膜5上に、所定形状の薄膜半導体層7が設けられている。この薄膜半導体層7は例えば厚みが75nmの多結晶Siからなる。図示は省略するが、薄膜半導体層7中にはLD(Lightly Doped Drain)構造のソース領域およびドレイン領域が形成されている。この薄膜半導体層7上にゲート誘電体8が設けられている。ゲート誘電体8は例えば厚みが300nmのSiO₂膜からなる。このゲート誘電体8上にはゲート配線Gが設けられている。ゲート配線Gは、例えば厚みが100nmのリン(P)などの不純物が高濃度にドーパされた多結晶Si膜9および厚みが100nmのWSi膜10が順次積層された積層膜からなる。このゲート配線Gから構成されるゲート電極とLDD構造のソース領域およびドレイン領域とにより、画素電極駆動用の多結晶Si TFTが構成されている。

[0033] また、薄膜半導体層7およびゲート配線Gを覆うように層間絶縁膜11が設けられている。この層間絶縁膜11およびゲート誘電体8の所定部分にコンタクトホール12、13が形成されているとともに、コンタクトホール6上の層間絶縁膜11の部分に開口14が設けられている。また、透光領域における層間絶縁膜11上に、コンタクトホール12を通じて多結晶Si TFTのソース領域に接続された信号配線15が設けられている。また、層間絶縁膜11上に、コンタクトホール13を通じて多結晶Si TFTのドレイン領域に接続された引き出し電極16が設けられ、この引き出し電極16が開口14およびコンタクトホール6を通じて保持容量用画素電極2に接続されている。これらの信号配線15および

(6)

9

分とが設けられている。そして、引き出し電極16とが重ならない領域における保持容量配線4の凹形状の領域に設けられたコンタクトホール6を通じて、引き出し電極16と保持容量用画素電極2とが接続されている。

[0039] 薄膜半導体層7は、ゲート配線Gに重なる部分と保持容量配線4に重なる部分とにおいてL字型に設けられている。薄膜半導体層7の領域の信号配線15と重なる領域の一端にはコンタクトホール12が形成されている。このコンタクトホール12を通じて、層間絶縁膜7と信号配線15とが接続されている。薄膜半導体層7の領域における引き出し電極16と重なる領域の他端にはコンタクトホール13が形成されており、コンタクトホール13を通じて接続されている。

[0040] 図2Bは、画素電極22の形成後におけるTFT基板の平面レイアウトを示す。図2Bに示すように、互いに平行な線状の信号配線15間をまたがり、引き出し電極16を重なり、上層透光膜19が設けられている。上層透光膜19と引き出し電極16との重なった領域の部分にコンタクトホール18が形成されている。このコンタクトホール18を通じて、上層透光膜19と引き出し電極16とが互いに接続されている。画素電極22は、信号配線15の部分と上層透光膜19の部分とに重ならない部分を覆うようにして設けられている。画素電極22と上層透光膜19との重なった領域にコンタクトホール21が形成されている。このコンタクトホール21を通じて、上層透光膜19と画素電極22とが接続されている。

[0041] 次に、上述のように構成されたこの第1の実施形態による液晶表示装置の製造方法の一例について説明する。

[0042] まず、図1に示すように、絶縁性透明基板11上に、例えばCVD法により、WSi膜を形成した後、この膜を各画素ごとの島状にパターンニングすることにより保持容量用画素電極2を形成する。次に、例えばCVD法により保持容量用画素電極2上にSiO₂膜からなる保持容量用誘電体3を形成する。この保持容量用誘電体3の形成における加熱温度は例えば800°Cである。次に、例えばCVD法により、全面にWSi膜を形成した後、この膜を表示領域を画断するようにパターンニングすることにより保持容量配線4を形成する。次に、全面に、例えば常圧化学気相成長(AP-CVD)法によりNSG膜を成膜することによって、層間絶縁膜5を形成する。

[0043] 次に、例えば減圧化学気相成長(LP-CVD)法により層間絶縁膜5上に薄膜Si膜を形成し、例えば熱処理を行うことによって結晶化を成長させた後、この薄膜Si膜をパターンニングすることにより、多結晶Siからなる薄膜半導体層7を形成する。次に、

10

薄膜半導体層7表面を酸化した後、全面に例えばホウ素(B)などのp型不純物を低濃度にイオン注入する。[0044] 次に、例えばCVD法により薄膜半導体層7上にSiO₂膜を成膜することにより、ゲート誘電体8を形成する。

[0045] 次に、例えばLP-CVD法によりゲート誘電体8上に多結晶Si膜9を形成した後、例えばPOCl₃ガス中において熱処理を行うことにより、pチャネルSi膜9中にPを拡散させ、低比抵抗化させる。次に、この多結晶Si膜9上に、例えばCVD法によりWSi膜10を形成する。その後、この多結晶Si膜9およびWSi膜10からなる積層膜をゲート配線形状にパターンニングすることにより、ゲート配線Gを形成する。

[0046] 次に、全面にn型不純物のPを低濃度でイオン注入する。次に、リングラフィエ工程によりレジストパターン(図示せず)を形成することによって、pチャネルMOSトランジスタの形成領域と、nチャネルMOSトランジスタの形成領域におけるLDD形成部とをマスクした後、例えばAsなどのn型不純物を高濃度でイオン注入する。これにより、薄膜トランジスタを始めとするnチャネルMOSトランジスタにおいて、LDD構造を有するソース/ドレイン領域が形成される。その後、レジストパターンを除去する。

[0047] 次に、リングラフィエ工程によりレジストパターン(図示せず)を形成することによって、薄膜トランジスタおよび回路内のnチャネルMOSトランジスタの形成領域をマスクした後、例えばBなどのp型不純物を高濃度でイオン注入し、回路内のpチャネルMOSトランジスタを形成する。

[0048] 次に、O₃ガスとTEOSガスを用いたCVD法により、全面にPSG膜を成膜することにより、層間絶縁膜11を形成する。その後、高温で熱処理を行うことにより、ソース領域およびドレイン領域のイオン注入領域の結晶性を回復させ、不純物を活性化させる。

[0049] 次に、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6の形成領域とに開口を有するレジストパターンを形成した後、例えばウェットエッチング法により層間絶縁膜11をエッチングする。これにより、開口14が形成される。

[0050] 次に、リングラフィエ工程により、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6、12、13の形成領域に開口を有するレジストパターンを形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法によりエッチングを行う。これにより、薄膜半導体層7上の層間絶縁膜11の部分にコンタクトホール12、13が形成されるとともに、保持容量用画素電極2上の層間絶縁膜5の部分にコンタクトホール6が形成される。また、図示省略したゲート配線Gおよびゲート配線Gおよび回路外の回路

の部分に所定のコンテンツホールが形成される。その後、レジストパターンを除去する。

【0051】次に、例えばスパッタリング法により、全面に、Siを1%含むAl合金（Al-Si合金）膜を形成する。次に、リソグラフィ工程により、信号配線15および引き出し配線16の形成領域上より、回路内配線15およびパッド（いずれも図示せず）の形成領域上にレジストパターンをマスクとして、例えばドライエッチング法によりAl合金膜をパターンニングする。これにより、信号配線15および引き出し配線16を形成するとともに、パッドおよび回路内配線を形成する。なお、これらの配線や電極は、Al-Si合金以外にも、Al-Cu合金、Al-Si-Cu合金、Al-Cu合金などのAl基合金や、Cu基合金を用いてもよく、さらに、これらのAl基合金やCu基合金の下層もしくは上に、Ti、TiN、TiON、TiONなどのバリアメタルを設けた多層構造としてもよい。

【0052】次に、例えば O_3 ガスとTEOSガスをとを用いたCVD法により、全面にPSG膜を成膜することにより、層間絶縁膜17を形成する。次に、層間絶縁膜17上にコンタクトホール18およびバッドの形成領域に開口を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、層間絶縁膜17を、引き出し電極16の表面が露出するまでエッチングする。これにより、バッドに接続するためのコンタクトホールが形成されるとともに、引き出し電極16上にコンタクトホール13が形成される。その後、レジストパターンを除去する。

【0053】次に、例えばスパッタリング法により全面にTi膜を成膜した後、リングラフィ工程およびエッチング工程によりこのTi膜を所定形状にパターニングすることによって、上層光膜19を形成する。

【0054】次に、例えばTEOSガスを用いたプラズマCVD法により、NSQ膜を成膜することによって、図9Bに示すように、NSQ膜20を形成する。

【0056】次に、リングラフィ工程により、間隙地盤20上コンタクトホール21の形成領域とパッドの形成領域とに開口を有するレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により間隙地盤20をエッチングする。これによって、コンタクトホール21が形成されるとともに、パッド表面が露出する。その後、レジストパターンを除去する。

【0056】次に、Hを4%含んだN₂ガス中において熱処理を行うことにより、トランジスタ特性を向上させる。

【0057】次に、例えばスパッタリング法により全面にITO膜を成膜した後、このITO膜をパターンニング

することにより、透明の画素電極22を形成する。【0058】その後、画素電極22上に配向膜を形成して、TFT基板を製造した後、従来公知の方法によってプロセスを進め、目的とする液晶表示装置を完成させる。

【0059】以上説明したように、この第1の実施形態によれば、薄膜トランジスタを構成する薄膜半導体層7の下層に保持容量配線4、保持容量用誘電体3および保持容量用画素電極2から構成される保持容量素子を設けていることにより、保持容量配線4および保持容量用画

電線3が、平面時にTFTのゲート配線Gなどの他の要素を受けかねない面積を十分に確保することによって、面画素光透過率を向上させることができる。また、保持層の薄膜トランジスタ容量C₀を十分に確保することによって、各画素の薄膜トランジスタ容量C₁を安定化することができる。また、保持層の表面積を増加させることによって、表示画面を向上させることができる。形成領域は、薄膜トランジスタのチャネル領域に限定され、平面的に1.0μm以上の余裕を有し、各方向に対して0.5μm以上の幅を有する領域に配置されていることにより、TFT基板の裏面側からの入射光に対して、保持層を用いた電線2および保持層向きの薄膜トランジスタに入射する光を低減することができると、光駆起電流に起因した面画素劣化を防止することができる。表示画面に対する透光膜として働き、傾め方向から薄膜トランジスタに入射する光を低減することができると、光駆起電流に起因した面画素劣化を防止することができる。したがって、面画素のさらなる向上を図ることができる。また、面画素のさらなる向上を図ることは、液晶表示装置における高光透過率および高輝度化を実現することである。

【0060】次に、この発明の第2の実施形態による液晶表示装置について説明する。図3はこの第2の実施形態による液晶表示装置のTFT基板の一例を示す。

【0061】図3に示すように、この第2の実施形態において、第1の実施形態と異なる点として、第1の電極層17上とその表面が平坦化された層間絶縁膜31が設けられている。引き出し電極16上の層間絶縁膜31、17の部分にコンタクトホール32が設けられている。層間絶縁膜31上には上層光導膜19が設けられており、コンタクトホール32を通じて引き出し電極16と上層光導膜19とが接続されている。層間絶縁膜31上には上層光導膜19を覆うように層間絶縁膜33が設けられている。上層光導膜19上の層間絶縁膜33の部分にはコンタクトホール34が設けられている。層間絶縁膜33上には表面保護層22が設けられており、コンタクトホール34を通じて、表面保護層22と上層光導膜19とが接続されている。その他の構成については、第1の実施形態と同様であるので説明を省略する。

【0062】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態におけると同様にして層間絶縁膜17の形成まで行う。次に、第1の

実施形態とは異なり、周囲絶縁膜17上に周囲絶縁膜31を形成する。次に、例えばCMP法により周囲絶縁膜31表面を平坦化する。次に、リングラフィエ工およびエッチング工程により、引き出し電極16上の周囲絶縁膜17、31の部分にコンタクトホール32を形成する。次に、例えばスパッタリング法により全面にTi膜を形成した後、このTi膜をパターンニングすることにより、上層電光膜19を形成する。次に、例えばCVD法により、上層電光膜19を覆うようにして周囲絶縁膜31上に周囲絶縁膜33を形成する。次に、上層電光膜19の上に周囲絶縁膜33の部分にコンタクトホール34を形成する。その後、例えばスパッタリング法により全面にITO膜を成膜した後、このITO膜を所定形状にパターンニングすることにより、所定形状の面電極22を形成する。被膜装置製造の製造方法におけるその他のプロセスについては第1の実施形態におけると同様であるので、説明を省略する。

【0063】この第3の実施形態によれば、薄膜半導体層7の下層に保持層素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができるとともに、平坦化された閾値線31上に上向き光線19を設けることにより、上向き光線19のカパシタンス形状を改善することができ、対向基板19aからの入射光効率より光増強することができ、また、信号遅延15と上向き光線19との寄生容量を低減させることができる。したがって、この液晶表示装置における表示画質のさらなる向上を図ることができ、【0064】次に、この発明の第3の実施形態による液晶表示装置について説明する。図4はこの第3の実施形態による液晶表示装置のTFT基板の一例を示す。

【0065】図1に示すように、この第3の実施形態に
よる液晶表示装置においては、第1の実施形態とは異な
り、信号配線15および引き出し電極16を、Siを1
%含むAl₁合金膜41a上に例えばTiN膜41bを設
けた2層構造とする。そして、これらの信号配線15お
よび引き出し電極16を覆うように層間絶縁膜17が設
けられている。また、層間絶縁膜17上には上層光線
が設けられておらず、その表面が平坦化された層間絶
縁膜42が設けられている。引き出し電極16上の層間絶
縁膜17、42の部分にコンタクトホール43が形成さ
れている。層間絶縁膜22と引き出し電極16とはコンタ
クトされている。画素電極22と引き出し電極16とはコンタ
クトを介して接続されている。また、図示は名
トホール43を通じて接続されている。また、図示は名
略するが、第1の実施形態におけるTFT基板の上層電
光線19に対峙する画素間遮光領域は、TFT基板の上
層電極層を介した方向基板中に設けられている。液晶
表示装置のその他の構成については第1の実施形態にお
けると同様であるので、説明を省略する。

【0066】以上のように構成された第3の実施形態による液晶表示装置の製造方法においては、まず、第1の

突触形態におけると同様に、周囲絶縁膜 11 の形成まで行う。その後、開口 14 およびコンタクトホール 6、12、13 を順次形成する。次に、例えばスパッタリング法により、全面に S1 を含む Al 合金膜 41a を形成した後、全面に S2 を含む Al 合金膜 41b を形成する。次に、この T1N 膜 41b および Al 合金膜 41a からなる複層膜を所定形状にパターンニングすることにより、信号配線 16 および引き出し電極 16 を形成すること。次に、これらの信号配線 16 および引き出し電極 16 を覆うように、全面に周囲絶縁膜 17 を形成する。次に、例えば CVD 法により、周囲絶縁膜 17 上に周囲絶縁膜 42 を形成する。その後、例えば CMP 法に、その表面を研磨することにより平坦化し、次に、リソグラフィ工程およびエッチング工程により、引き出し電極 16 上の周囲絶縁膜 17、42 の部分を、T1N 膜 41b の表面が露出するまでエッチングすることにより、コンタクトホール 43 を形成する。次に、周囲絶縁膜 42 上の全面に、例えばスパッタリング法により、コンタクトホール 43 を通し、開口 14 および電極 16 と電気的に接続するようにして、例えば T1O 膜を形成すること。その後、この T1O 膜を所定形状にパターンニングすることにより、図 8 電極 22 を形成する。液晶表示装置の製造方法におけるその他のプロセスに関しては、第 1 の実施形態におけると同様であるので、説明を省略する。

【0067】また、この第3の実施形態の他の例として、薄層半導体層7上の層間絶縁膜11、17、42の部分にコンタクトホール（図示せず）を設け、このコンタクトホールを通じて画素電圧22と薄層半導体層7とを直接接続することも可能である。

【0068】この図3の5種類形態によれば、薄膜半導体層7の下側に保持電極素子群が配列されていることにより、第1 TFTの実効面積と同様の効果を得ることができ、また、TFT基板中に上層透明層19を設けるようにし、引き出し電極16と画素電極22とを直接接合していることが、引き出し電極16をS₁を1%含むAl合金41a上にT₁IN₄16bを被覆した層構造としていることにより、引き出し電極16と画素電極22との間で良好な電気的接触を確保することができ、

【0069】次に、この発明の第4の実施形態による液晶表示装置の一例について説明する。図5はこの第4の実施形態による液晶表示装置のTFT基板の一例を示す。

【0070】図5に示すように、この第6の実施形態による液晶表示装置においては、第1の実施形態とは異なり、絶縁性透明基板11上所述形状の保持容量配線4が設けられている。保持容量配線4上には保持容量用開口電極3を介して保持容量用画素電極2が設けられている。保持容量用画素電極2上の開口絶縁層6の部分にコンタクトホール6が設けられている。このコンタクトホール6を通じて保持容量用画素電極2と引き出し電極16と

(9)

15

が電気的に接続されている。液晶表示装置におけるその他の構成に関しては第1の実施形態と同様であるので説明を省略する。

[0071] 以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と異なり、例えばCVD法により、絶縁性ガラス基板1上に例えば厚が200nmのWSi膜、例えば厚が60nmのSi₁₀₂膜および厚が60nmのWSi膜を順次形成する。次に、リングラファイエングによる開口形成により、このWSi/SiO₂/WSi膜からなる膜層をパターンニングすることにより、保持容量用画素電極2、保持容量用誘電膜3、保持容量配線4を形成し、これらからなる保持容量素子を形成する。液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

[0072] この第4の実施形態によれば、薄層半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができ、また、保持容量用画素電極2の下層に保持容量配線4を設けて、第1の実施形態における保持容量素子と側面構造を反対にしていることにより、コンタクトホール6の形成領域を確保するために、保持容量配線4の一部を除去する必要がある。これにより、保持容量素子の保持容量面積を増加させることができるので、その保持容量C_sを増加させることができる。

[0073] 次に、この発明の第5の実施形態による液晶表示装置について説明する。図6はこの第5の実施形態による液晶表示装置のTFT基板の一例を示す。

[0074] 図6に示すように、この第5の実施形態による液晶表示装置においては、第1の実施形態と異なり、保持容量配線5に形成されたコンタクトホール6を通じて保持容量用画素電極2に接続された引き出し電極6-1が、ゲート電極Gと同様の構造、すなわち多結晶Si膜9とWSi膜10との積層構造から構成されている。この引き出し電極6-1の一端部は薄層半導体層7のドレイン領域の一部分に接続されている。これにより、薄層半導体層7のドレイン領域と保持容量用画素電極2とが電気的に接続されている。また、保持容量配線5に形成されたコンタクトホール6を通じて、薄層半導体層7のドレイン領域に、例えばSiを1%含むA1合金膜からなる電極6-2が接続されている。液晶表示装置におけるその他の構成に関しては、第1の実施形態におけると同様であるので説明を省略する。

[0075] 以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と同様に薄層半導体層7上のゲート誘電膜8の形成まで行う。次に、第1の実施形態と異なり、リングラファイエングによる開口形成により、保持容量用画素電極2上の保持容量配線5の一部分に、例えば厚が60nmのWSi膜、例えば厚が60nmのWSi膜を順次形成する。次に、リングラファイエングによる開口形成により、保持容量用画素電極2上の保持容量配線5の一部分にコンタクトホール6を形成する。次に、例えば三フッ化塩素(ClF₃)ガスをエッチングガスとして、

17

して、W膜のエッチバックを行う。これにより、コンタクトホール6の内部にWからなるコンタクトプラグ7-1が埋め込まれる。次に、第1の実施形態と同様に、薄層半導体層7およびゲート誘電膜8を順次形成する。次に、例えばLP-CVD法により、全面にPがドーピングされた多結晶Si膜9とWSi膜10を順次形成する。これにより、保持容量用画素電極2およびゲート配線Gの形状、およびコンタクトプラグ7-1に接続し、一端部が薄層半導体層7に重なるような形状にパターンニングする。これにより、多結晶Si膜9とWSi膜10との積層構造からなるゲート配線Gおよび引き出し電極7-2が形成される。その後、これらのゲート配線Gおよび引き出し電極7-2を覆うように間隔絶縁膜11を形成する。この液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

[0080] この第6の実施形態によれば、薄層半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態および第5の実施形態と同様の効果を得ることができる。また、引き出し電極7-2と保持容量用画素電極2とをコンタクトプラグ7-1を介して接続するようにしていることにより、引き出し電極7-2のケーブル形状をより改善することができる。

[0081] 次に、この発明の第7の実施形態による液晶表示装置について説明する。図8はこの第7の実施形態による液晶表示装置の平面レイアウトの一例を示す。

[0082] 図8に示すように、この第7の実施形態による液晶表示装置においては、第1の実施形態と異なり、保持容量配線4(図8中、斜線部)を、信号配線5に重なる領域で、信号配線15の長手方向に延長させて設けるようにする。すなわち、保持容量配線4は、信号配線15および引き出し電極16の下層かつ重なる領域で、それらの形状に付随して格子状に設けられている。この第7の実施形態による液晶表示装置の構成およびその製造方法に関しては第1の実施形態におけると同様であるので、説明を省略する。

[0083] この第7の実施形態によれば、第1の実施形態と同様の効果を得ることができるとともに、保持容量配線4を、信号配線15の下層かつ重なる領域に、信号配線15の長手方向に延長した形状、すなわち格子状に形成していることにより、保持容量面積をさらに増加させることができるので、より信頼性の高い液晶表示装置を得ることができる。

[0084] 以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的着想に基づき各種の変形が可能である。

[0085] 例えば、上述の実施形態において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれと異なる数値、構造、形状、

18

材料、プロセスなどを用いてよい。

[0086] また、上述の第1の実施形態においては、保持容量用誘電膜3として、SiO₂膜を用いているが、保持容量用誘電膜3として、SiN膜や、SiO₂/SiN/SiO₂膜などを用いることも可能である。

[0087] また、上述の第1の実施形態においては、保持容量用画素電極2および保持容量配線4としてWSi膜を用いているが、これらの保持容量用画素電極2および保持容量配線4として、不純物をドーピングした多結晶Si膜を用いることも可能である。また、ゲート配線Gを多結晶Si膜9上にWSi膜10を設けた積層構造としているが、多結晶Si膜9上に設ける膜として、W膜、Mo膜、Ta膜、Cr膜およびTi膜を用いることができる。また、これらのシリサイド膜や合金膜を用いることも可能である。

[0088]

[発明の効果] 以上説明したように、この発明によれば、保持容量素子を、薄層半導体層7を構成する薄層半導体層7の下層に設けるようにしていることにより、保持容量素子の設計自由度を向上させることができる。保持容量面積を確保しつつ画素間光漏れを小さくすることができ、これによって、高光速度率で高画質化された液晶表示装置を得ることができる。

[図面の簡単な説明]

[図1] この発明の第1の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図2] この発明の第1の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

[図3] この発明の第2の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図4] この発明の第3の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図5] この発明の第4の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図6] この発明の第5の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図7] この発明の第6の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図8] この発明の第7の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

[図9] 従来技術による液晶表示装置を示すブロック図である。

[図10] 従来技術による液晶表示装置を示す断面図である。

[図11] 従来技術による液晶表示装置の平面レイアウトを示す平面図である。

[符号の説明]

1・・・絶縁性透明基板、2・・・保持容量用画素電

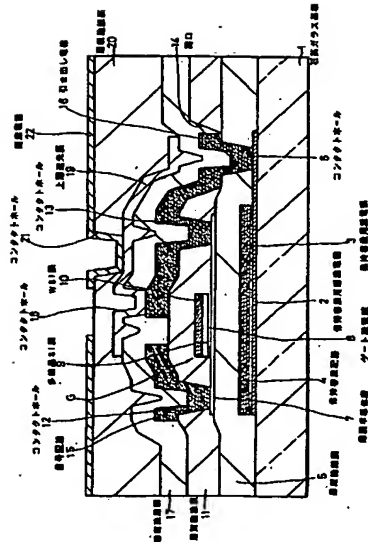
(11)

19

20

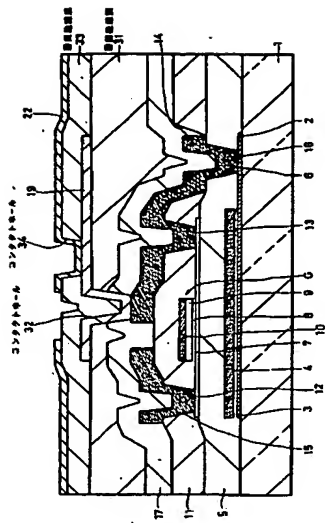
図、3・・・保持容量用配電、4・・・保持容量配
線、6、12、13、18、21、32、34、43・
線、22・・・画素電極、G・・・ゲート配線
・・・コンタクトホール、7・・・隔壁半導体層、16、

【図1】

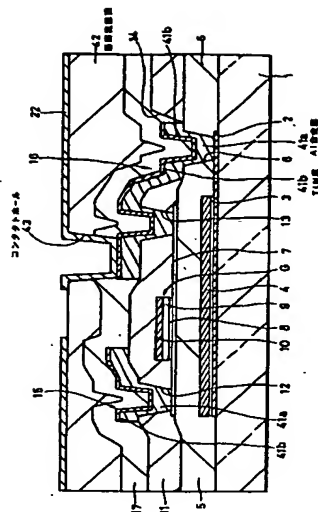


(12)

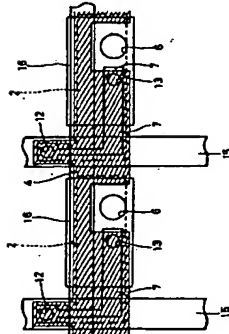
【図3】



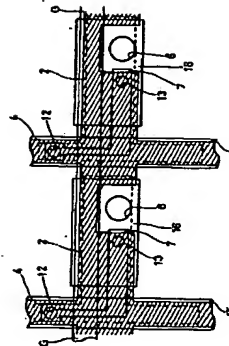
【図4】



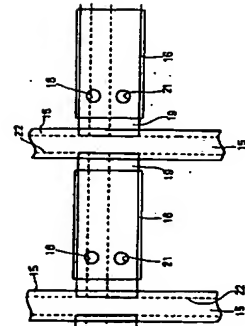
【図2】



【図8】



【図1.1】



【図5】

